

0941.63081

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re U.S. Patent Application)

Applicant: Hiroshi Murakami)

Serial No.)

Filed: May 19, 1999)

For: DISPLAY DEVICE HAVING)
REDUCED NUMBER OF)
SIGNAL LINES)

Art Unit:)

I hereby certify that this paper is being deposited with the United States Postal Service as Express Mail in an envelope addressed to: Asst. Comm. for Patents, Washington, D.C. 20231, on this date.

05/19/99
Date

Express Mail Label No.: EM045519612US

#2
7.1.69
525 U.S. PTO
09/314750
05/19/99

Assistant Commissioner for Patents
Washington, DC 20231

Sir:

CLAIM FOR PRIORITY

Applicant claims foreign priority benefits under 35 U.S.C. § 119 on the basis of the foreign application identified below:

Japanese Patent Application No. 10-141499

A certified copy of the priority document is enclosed.

Respectfully submitted,

GREER, BURNS & CRAIN, LTD.

By

Patrick G. Burns
Reg. No. 29,367

May 19, 1999
Sears Tower - Suite 8660
233 South Wacker Drive
Chicago, IL 60606
(312) 993-0080

PATENT OFFICE
JAPANESE GOVERNMENT



This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: May 22, 1998

Application Number: Japanese Patent Application
No. 10-141499

Applicant(s) FUJITSU LIMITED

August 28, 1998

Commissioner,

Patent Office

Takeshi Isayama (Seal)

Certificate No.10-3068404

Atty. Phone: (312) 793-0080
Atty. Docket: 0941.63081

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

U.S. PTO
09/314750
05/19/99

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1998年 5月22日

出 願 番 号
Application Number:

平成10年特許願第141499号

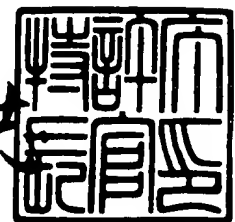
出 願 人
Applicant(s):

富士通株式会社

1998年 8月28日

特許庁長官
Commissioner,
Patent Office

伴佐山 建志



出証番号 出証特平10-3068404

【書類名】 特許願

【整理番号】 9707271

【提出日】 平成10年 5月22日

【あて先】 特許庁長官 荒井 寿光 殿

【国際特許分類】 G09G 3/18
G09G 3/20

【発明の名称】 表示装置

【請求項の数】 11

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 村上 浩

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【郵便番号】 150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

特平 10-141499

【物件名】 要約書 1

【包括委任状番号】 9704678

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置

【特許請求の範囲】

【請求項 1】 画像を表示する表示部と、

前記表示部に画像を表示させる動作を行う第一の動作回路を有する動作回路部と、

表示を制御する情報を記憶する第一のメモリと、

前記第一のメモリと外部の制御手段を接続するインタフェースとを有し、

前記第一のメモリは、前記インタフェースを介して前記制御手段から与えられる情報を記憶し、前記第一の動作回路は、前記第一のメモリに記憶された前記情報に基づいて動作することを特徴とする表示装置。

【請求項 2】 請求項 1 記載の表示装置において、

アドレスバスとデータバスとを有し、

前記制御手段から前記アドレスバスを通して与えられるアドレス信号で特定される前記第一のメモリが、前記データバスを通して得る前記情報を記憶し、

前記第一の動作回路は、ゲートドライバ及びデータドライバを有し、

前記ゲートドライバ及びデータドライバのうち少なくとも一方は、前記第一のメモリに記憶された前記情報に基づき動作することを特徴とする表示装置。

【請求項 3】 請求項 1 記載の表示装置において、

前記第一の動作回路は、ゲートドライバ及びデータドライバを有し、

該ゲートドライバ及びデータドライバのうち少なくとも一方は、シフトレジスタを有し、

前記シフトレジスタが前記第一のメモリに記憶された前記情報に基づいて動作することで、画像表示時の走査方向の制御を行うことを特徴とする表示装置。

【請求項 4】 請求項 1 記載の表示装置において、

前記第一の動作回路は、ゲートドライバ及びデータドライバを有し、

該ゲートドライバ及びデータドライバのうち少なくとも一方は、デコーダを有し、

前記デコーダが前記第一のメモリに記憶された前記情報に基づいて動作するこ

とで、画像表示時の走査方向及び走査順序の制御を行うことを特徴とする表示装置。

【請求項 5】 請求項 4 記載の表示装置において、

更に、前記デコーダを有する前記ゲートドライバ及びデータドライバのうち少なくとも一方は、アドレスカウンタを有し、

前記アドレスカウンタが前記第一のメモリに記憶された前記情報に基づいて動作することで、前記デコーダのアドレスを制御し、

アドレス制御される前記デコーダが動作することで、画像表示時の走査方向及び走査順序の制御を行うことを特徴とする表示装置。

【請求項 6】 請求項 2 記載の表示装置において、

前記第一のメモリは、所定のパターンデータを記憶し、

前記所定のパターンデータが入力する前記データドライバの動作により、前記表示部に所定のパターン画像を表示することを特徴とする表示装置。

【請求項 7】 請求項 6 記載の表示装置において、

前記第一の動作回路は、更にデータ合成回路を有し、

前記データ合成回路は、前記第一のメモリが記憶する前記所定のパターンデータと外部から与えられる表示データを合成して合成パターンデータを生成し、

前記合成パターンデータが入力する前記データドライバの動作により、前記表示部に所定の合成パターン画像を表示することを特徴とする表示装置。

【請求項 8】 請求項 1～7 何れか 1 項記載の記載の表示装置において、

前記動作回路部は、更に表示部に関する情報を記憶する第二のメモリと、

前記第一のメモリに記憶された前記情報に基づいて動作して、前記表示部から表示部に関する情報を取得する第二の動作回路を有し、

前記第二のメモリは、前記第二の動作回路から前記表示部に関する情報を受け取り、当該表示部に関する情報を前記制御手段が読み出し可能な状態で記憶しておくことを特徴とする表示装置。

【請求項 9】 請求項 8 記載の表示装置において、

前記第二の動作回路は、前記表示部の欠陥について検査して、表示部の欠陥情報を取得する欠陥検査回路であることを特徴とする表示装置。

【請求項 10】請求項 8 記載の表示装置において、

前記第二の動作回路は、外部から前記表示部に直接情報が与えられた時に、前記表示部上における当該情報が与えられた位置の座標情報を検出する、座標検出回路であることを特徴とする表示装置。

【請求項 11】請求項 2～10 何れか 1 項記載の表示装置において、

前記表示部は、スイッチング素子として、複数のポリシリコン薄膜トランジスタを有し、前記ゲートドライバと前記データドライバによって特定される前記ポリシリコン薄膜トランジスタを介して前記表示部に表示データを与えることで、画像表示を行うことを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は表示装置に係り、特に液晶によって複雑な文字や絵等の画像情報を読み書きできる表示装置に関する。

近年、高度な情報化社会への進展に伴い、より小型で且つ複雑な情報を表示したり、読み取ることのできる表示装置が望まれている。

【0002】

【従来の技術】

図 1 は、従来の表示装置の例として液晶表示装置(LCD=Liquid Crystal Display) 200 の全体構成図を示す。LCD 200 は、ドライバ、検査回路、タブレットの検出回路等で構成される 2^m 個の動作回路 CIR1、CIR2、・・・、CIR 2^m を有する。LCD 200 は、また、液晶表示が行われる表示部 2 を有する。

【0003】

LCD 200 の外部には、LCD 200 の動作制御手段である制御回路 150 が配置されている。LCD 200 は、制御回路 150 と複数の信号線を介して接続されており、当該信号線を介して制御回路 150 と情報の授受を行う。液晶表示時は、制御回路 150 から与えられた情報に基づいて動作回路の中のドライブが駆動し、情報に対応する部分の液晶を動作させる。また、例えば、表示部 2 に

対してペン入力された場合は、ペン入力された場所に対応する情報が動作回路の中の座標検出回路から制御回路 150 に与えられる。

【0004】

従来の LCD 200 においては、制御回路 150 と LCD 200 を接続する信号線の本数は、各動作回路のビット数の合計分だけ必要であった。例えば、 2^m 個の動作回路 CIR1、CIR2、・・・、CIR 2^m がそれぞれ n ビットのものであるとすると、制御回路 150 と LCD 200 を接続する信号線の本数 L0 は、 $L0 = n \times 2^m$ 本必要であった。

【0005】

【発明が解決しようとする課題】

従来の LCD 200 は、各動作回路のビット数を合計した本数の信号線を制御回路 150 との接続のために設けた構成である。従って、複雑な情報を読み書きできる構成の LCD 200 にすると、LCD 200 が有する動作回路の数や各動作回路が要するビット数が増加するため、それに伴い信号線及び信号線の接続端子数が非常に多くなり、信号線の接続に関するコストが増えるという問題があった。また、接続端子数の増加に伴い、LCD 200 や制御回路 150 の部品点数が増え、LCD 200 や制御回路 150 自体の製造コストが増加し、且つ LCD 200 及び制御回路 150 が大型化してしまうという問題もあった。

【0006】

そして、従来は上記問題を回避するために、LCD 200 の内部には比較的単純な構成の動作回路だけを設けることにより、LCD 200 の小型化を優先して、複雑な情報の読み書き機能の装備を放棄する傾向があった。

そこで、本発明の課題は、表示装置と制御回路間の信号線の接続本数や表示装置及び制御回路の部品数の増加を招くことなく、複雑な情報を読み書きできる高機能の表示装置を提供することである。

【0007】

【課題を解決するための手段】

上記課題を解決するために本発明では、次に述べる各手段を講じたことを特徴とするものである。

請求項 1 記載の発明では、画像を表示する表示部と、前記表示部に画像を表示させる動作を行う第一の動作回路を有する動作回路部と、表示を制御する情報を記憶する第一のメモリと、前記第一のメモリと外部の制御手段を接続するインタフェースとを有し、前記第一のメモリは、前記インタフェースを介して前記制御手段から与えられる情報を記憶し、前記第一の動作回路は、前記第一のメモリに記憶された前記情報に基づいて動作することを特徴とするものである。

【0008】

また、請求項 2 記載の発明では、請求項 1 記載の表示装置において、アドレスバスとデータバスとを有し、前記制御手段から前記アドレスバスを通して与えられるアドレス信号で特定される前記第一のメモリが、前記データバスを通して得る前記情報を記憶し、前記第一の動作回路は、ゲートドライバ及びデータドライバを有し、前記ゲートドライバ及びデータドライバのうち少なくとも一方は、前記第一のメモリに記憶された前記情報に基づき動作することを特徴とするものである。

【0009】

また、請求項 3 記載の発明では、請求項 1 記載の表示装置において、前記第一の動作回路は、ゲートドライバ及びデータドライバを有し、該ゲートドライバ及びデータドライバのうち少なくとも一方は、シフトレジスタを有し、前記シフトレジスタが前記第一のメモリに記憶された前記情報に基づいて動作することで、画像表示時の走査方向の制御を行うことを特徴とするものである。

【0010】

また、請求項 4 記載の発明では、請求項 1 記載の表示装置において、前記第一の動作回路は、ゲートドライバ及びデータドライバを有し、該ゲートドライバ及びデータドライバのうち少なくとも一方は、デコーダを有し、前記デコーダが前記第一のメモリに記憶された前記情報に基づいて動作することで、画像表示時の走査方向及び走査順序の制御を行うことを特徴とするものである。

【0011】

また、請求項 5 記載の発明では、請求項 4 記載の表示装置において、更に、前記デコーダを有する前記ゲートドライバ及びデータドライバのうち少なくとも一

方は、アドレスカウンタを有し、前記アドレスカウンタが前記第一のメモリに記憶された前記情報に基づいて動作することで、前記デコーダのアドレスを制御し、アドレス制御される前記デコーダが動作することで、画像表示時の走査方向及び走査順序の制御を行うことを特徴とするものである。

【0012】

また、請求項6記載の発明では、請求項2記載の表示装置において、前記第一のメモリは、所定のパターンデータを記憶し、前記所定のパターンデータが入力する前記データドライバの動作により、前記表示部に所定のパターン画像を表示することを特徴とするものである。

また、請求項7記載の発明では、請求項6記載の表示装置において、前記第一の動作回路は、更にデータ合成回路を有し、前記データ合成回路は、前記第一のメモリが記憶する前記所定のパターンデータと外部から与えられる表示データを合成して合成パターンデータを生成し、前記合成パターンデータが入力する前記データドライバの動作により、前記表示部に所定の合成パターン画像を表示することを特徴とするものである。

【0013】

また、請求項8記載の発明では、請求項1～7何れか1項記載の記載の表示装置において、前記動作回路部は、更に表示部に関する情報を記憶する第二のメモリと、前記第一のメモリに記憶された前記情報に基づいて動作して、前記表示部から表示部に関する情報を取得する第二の動作回路を有し、前記第二のメモリは、前記第二の動作回路から前記表示部に関する情報を受け取り、当該表示部に関する情報を前記制御手段が読み出し可能な状態で記憶しておくことを特徴とするものである。

【0014】

また、請求項9記載の発明では、請求項8記載の表示装置において、前記第二の動作回路は、前記表示部の欠陥について検査して、表示部の欠陥情報を取得する欠陥検査回路であることを特徴とするものである。

また、請求項10記載の発明では、請求項8記載の表示装置において、前記第二の動作回路は、外部から前記表示部に直接情報が与えられた時に、前記表示部

上における当該情報が与えられた位置の座標情報を検出する、座標検出回路であることを特徴とするものである。

【0015】

更に、請求項11記載の発明では、請求項2～10何れか1項記載の表示装置において、前記表示部は、スイッチング素子として、複数のポリシリコン薄膜トランジスタを有し、前記ゲートドライバと前記データドライバによって特定される前記ポリシリコン薄膜トランジスタを介して前記表示部に表示データを与えることで、画像表示を行うことを特徴とするものである。

【0016】

上記の各手段は、以下のように作用する。

請求項1及び2記載の発明によれば、第一の動作回路が第一のメモリに記憶される情報に基づいて動作する。また、表示装置の外部にある制御手段とは、インターフェースを介して第一のメモリが接続される。従って、表示装置が多数の動作回路を有していても、制御手段と表示装置とを接続する信号線は、第一のメモリを制御できる本数だけあれば十分であり、信号線及び接続のための部品数を低減させた表示装置を提供することができる。接続のための部品数を低減することにより、表示装置及び制御手段のサイズを小型化することもできる。また、例えば、制御手段にコンピュータを用いることにより、コンピュータに格納されたソフトウェアで表示装置を制御すること可能である。

【0017】

また、請求項3記載の発明によれば、ドライバにシフトレジスタを用いるので、走査方向の制御が可能な表示装置を提供することができる。

また、請求項4及び5記載の発明によれば、ドライバにデコーダを用いるので、走査方向及び走査順序の制御が可能な表示装置を提供することができる。

また、請求項6及び7記載の発明によれば、表示部に所定のパターン表示がされる表示装置を提供することができる。

【0018】

また、請求項8記載の発明によれば、第二の動作回路が表示部から表示部に関する情報を取得し、当該情報を第二のメモリに記憶させておく表示装置を提供す

ることができる。制御手段は、第二のメモリにインターフェースを介してアクセスすることが可能なので、制御手段が表示部に関する情報を取得し、処理することも可能である。

【0019】

また、請求項9記載の発明によれば、欠陥検査回路が表示部の欠陥について検査し、第二のメモリが当該検査結果を記憶する構成の表示装置を提供することができる。制御手段は、インターフェースを介してメモリにアクセスすることが可能なので、制御手段が検査結果に基づいた処理を行うことができる。

また、請求項10記載の発明によれば、外部から直接表示部上に情報が与えられた場合、座標検出回路が情報が与えられた位置の座標情報を検出し、第二のメモリが当該座標情報を記憶する構成の表示装置を提供することができる。制御手段は、インターフェースを介してメモリにアクセスすることが可能なので、制御手段が座標情報に基づいた処理を行うことができる。

【0020】

更に、請求項11記載の発明によれば、表示部に与えられる表示データのスイッチング素子として、ポリシリコン薄膜トランジスタ（p-Si・TFT）を有する表示装置を提供することができる。ポリシリコン薄膜トランジスタは、表示部と動作回路部とを一体化して構成するのに適している。従って、ポリシリコン薄膜トランジスタを用いることによって、表示装置の更なる小型化が可能である。

【0021】

【発明の実施の形態】

以下、本発明の実施例を図2～図14を用いて説明する。

図2は、液晶を使用した表示装置である3端子素子方式のAM-LCD(Active Matrix Liquid Crystal Display)100(以下、LCD100とする)の構成を示す図である。

【0022】

LCD100は、大きくは表示部2と動作回路部4とから構成される。表示部2は、対向電極基板10、素子アレイ基板20、液晶30等を有し、動作回路部

4 は、動作回路としてゲートドライバ 40、データドライバ 50 等を有する。

素子アレイ基板 20 上には、マトリクス状に複数のゲート線及びデータ線が配列されており、素子アレイ基板 20 外において、ゲート線はゲートドライバ 40 に接続され、データ線はデータドライバ 50 に接続されている。

【0023】

ゲート線とデータ線との各交点には、3 端子素子として TFT (Thin Film Transistor=薄膜トランジスタ) 21 が配置されている。この TFT 21 は、LCD 100 の表示単位である画素毎のスイッチング素子として設けられている。TFT 21 のゲート電極はゲート線に接続され、ドレイン電極はデータ線に接続され、ソース電極は画素電極 22 に接続される。

【0024】

LCD 100 に対しては、表示フレーム毎に電圧の極性を反転させた交流電圧による駆動が行われる。その理由は、長時間にわたって直流電圧が液晶 30 に与えられると、液晶の材料特性が変化し、抵抗率が減少する等の液晶特性の劣化につながるからである。

LCD 100 の駆動時には、まず、ゲートドライバ 40 からゲート線にアドレス信号が与えられ、当該アドレス信号が対応する TFT のゲートに入力することにより TFT 21 のオン/オフ制御が行われる。一方、データ線にはデータドライバ 50 から表示データ信号が与えられる。この表示データ信号の極性は、表示フレーム走査期間毎に反転する。表示データ信号は、オン状態の TFT 21 を通過すると、各画素電極 22 に入力する。そして、表示データ信号が入力した画素電極 22 の電圧と、対向電極基板 10 の電圧との電位差に応じて各画素電極 22 上の液晶が動作して液晶表示がなされる。

【0025】

TFT 21 として、a-Si (amorphous-Silicone) TFT、p-Si (poly-Silicone) TFT、CdSe 半導体、Te 半導体等が使用される。a-Si TFT は、例えば、ガラス基板上に蒸着・スパッタで形成した非晶質シリコンの薄膜をエッチングすることで形成される。また、p-Si TFT は、例えば、減圧 CVD 法で SiH_4 や Si_6H_6 等を石英基板上に分解・蒸着して形成される。この

p-Si TFTを用いると、ゲートドライバ40やデータドライバ50等の動作回路を表示部2と共に同一基板上に集積一体化できるので、各種動作回路と表示部2間のリード接続が簡略化され、LCD100自体をより小型化することができる。

【0026】

尚、LCD100におけるゲート線、データ線、TFT21、画素電極22の数は、図2に示した数に限らない。

図3は、本発明の原理を説明するための図である。本発明は、例えば、上述したLCD100に適用される。以下、本発明の原理を図3を用いて説明する。

図3に示すように、LCD100は表示部2の他、動作回路部4に 2^m 個のメモリMEM1、MEM2、 \dots 、MEM 2^{m-1} 、MEM 2^m と、 2^m 個の動作回路CIR1、CIR2、 \dots 、CIR 2^{m-1} 、CIR 2^m と、インタフェース5とを有する。また、LCD100内にはm本のアドレスバスとn本のデータバスが配置されている。各アドレスバス及びデータバスは、メモリMEM1、MEM2、 \dots 、MEM 2^{m-1} 、MEM 2^m 及びインタフェース5に接続される。

【0027】

また、メモリMEM1、MEM2、 \dots 、MEM 2^{m-1} 、MEM 2^m にはそれぞれ動作回路CIR1、CIR2、 \dots 、CIR 2^{m-1} 、CIR 2^m が接続される。各メモリMEM1、MEM2、 \dots 、MEM 2^{m-1} 、MEM 2^m には、予め固有のアドレス値が割り当てられており、アドレス信号が指示するアドレス値に対応するメモリがデータバスと情報の授受を行う。

【0028】

動作回路CIR1、CIR2、 \dots 、CIR 2^{m-1} 、CIR 2^m は、接続するメモリが記憶した情報の内容に応じて動作したり、或いは接続するメモリに情報を書き込む等の機能を有する。動作回路CIR1、CIR2、 \dots 、CIR 2^{m-1} 、CIR 2^m は、具体的には表示部2に対するドライバやLCD100の不具合の検出回路、LCD100に対するペン入力時の座標情報の検出回路等である。

【0029】

LCD100の外部には、LCD100の動作制御手段である制御回路150が配置され、LCD100内のインタフェース5と、m本のアドレス線及びn本のデータ線を介して接続状態にある。

上記構成のLCD100においては、LCD100と制御回路150とを接続する信号線の数L1は、 $L1 = m + n$ 本である。一方、図1を用いて説明した従来例のLCD200では、制御回路150に接続するための信号線の数L0は、 $L0 = n \times 2^m$ 本であった。仮にここで、 $m = 4$ 、 $n = 8$ であり、LCD100、200が共に8ビットの動作回路を $2^4 = 16$ 個有する構成であるとする、従来例のLCD200と制御回路150を接続する信号線数L0は $8 \times 16 = 128$ 本であるのに対し、本発明が適用されたLCD100と制御回路150を接続する信号線数L1は $4 + 8 = 12$ 本である。

【0030】

従って、本発明のLCD100は、従来例のLCD200と比較して、制御回路150と接続するための信号線数が少ない構成である。信号線数が少ないために、LCD100及び制御回路150の接続端子数が少なくて済み、結果としてLCD100及び制御回路150のサイズと製造コストの低減が実現される。この信号線数を減少させる効果は、nやmが大きい程著しいことは、上述の式 $L1 = m + n$ と $L0 = n \times 2^m$ との比較から明らかである。

【0031】

また、LCD100の動作回路CIR1、CIR2、・・・、 $CIR2^{m-1}$ 、 $CIR2^m$ の動作制御はアドレスバスとデータバスを使って行うので、パソコン（パーソナルコンピュータ）等と整合性が高い。従って、例えば、パソコンの拡張ポートにLCD100を接続して、当該パソコンにインストールされたソフトウェアで、LCD100の動作制御を行うことも可能である。

【0032】

ここで、メモリ及び動作回路数の個数やビット数nは、上記例に示した数に限らない。また、LCD100内のメモリと動作回路の数は、同数でなくてもよい。

以下、本発明が適用されたLCD100の具体例を説明する。

図4は、本発明の第一実施例であるLCD100aの構成図である。

【0033】

図4に示すように、LCD100aは、表示部2の他、ゲートドライバ40として、シフトレジスタ42を有し、データドライバ50として、シフトレジスタ52及びスイッチ53a、53b、・・・、53x等を有する。また、LCD100aは、1ビットのメモリMEM1、MEM2を有する。

表示部2には、Y本のゲート線とX本のデータ線が配置されている。ゲート線は、シフトレジスタ42に接続され、データ線は、スイッチ53a、53b、・・・、53xを介して表示データが送信される表示データ線に接続されている。このスイッチ53a、53b、・・・、53xは、例えば、サンプリング回路で構成される。また、スイッチ53a、53b、・・・、53xには、スイッチ53a、53b、・・・、53xのオン／オフを制御するシフトレジスタ52が接続されている。

【0034】

シフトレジスタ52、42のシフト方向制御入力部DIR1、DIR2には、1ビットのメモリMEM1、MEM2の出力端子Q1、Q2が接続されている。また、メモリMEM1、MEM2のアドレス入力部A1、A2には、1ビット（1本）のアドレスバスが接続され、データ入力部D1、D2には、1ビット（1本）のデータバスが接続されている。

【0035】

シフトレジスタ42、52の動作制御は、それぞれ外部のタイミング発生部（図示せず）からのタイミングクロックにより行われる。

図5は、メモリMEM1の構成例を示す図である。

メモリMEM1は、アドレスデコーダ6と記憶回路7とを有する。アドレスデコーダ6は、メモリMEM1に対して予め割り当てられた固有のアドレス値がアドレス入力部A1を通して入力された時に、ハイレベルの信号をデコード結果として出力する。記憶回路7は、アドレスデコーダ6からイネーブル端子7eにハイレベルの信号が入力された時に、データ入力部D1を通してデータバスの情報

を取り込み、記憶する。データバスの情報が記憶回路 7 に記憶されることで情報の書き込みが行われることになる。ここで、記憶回路 7 は、アドレスデコーダ 6 からイネーブル端子 7 e にハイレベルの信号が入力された時に、データバスに接続して記憶回路 7 に記憶している情報をデータバスに出力するような構成であってもよい。この場合、データバスに情報が出力されることで、情報の読み出しが行われることになる。この記憶回路 7 のイネーブル端子 7 e にロウレベルの信号が入力される時は、記憶回路 7 はデータバスに接続せず、ハイインピーダンス状態を保つ。

【0036】

尚、メモリ MEM 2 の構成はメモリ MEM 1 と同様とし、その説明を省略する。

LCD 100 a は、いわゆる点順次駆動を行うタイプである。表示部 2 に液晶表示する場合は先ず、アドレスバスに送られるアドレス信号が指示するアドレス値に対応するメモリがデータバスから情報を受け取り、当該情報の内容を記憶する。そして、シフトレジスタ 4 2 は、メモリ MEM 2 が記憶した情報の内容に応じてゲート線を順次走査し、ゲート線の TFT 2 1 をオンにする。一方、シフトレジスタ 5 2 は、メモリ MEM 1 が記憶した情報の内容に応じて、対応するスイッチをオンにする。そして、オンになったスイッチに接続されるデータ線に表示データが送られて、当該データ線におけるオン状態の TFT 2 1 に表示データが入力する。更に、当該 TFT 2 1 に接続された画素電極に表示データが入力し、画素電極上の液晶が動作して液晶表示が行われる。

【0037】

以上のように LCD 100 a では、ゲートドライバ及びデータドライバをシフトレジスタ 4 2、5 2 で構成しているので、アドレスバスとデータバスを使ってシフトレジスタ 4 2、5 2 の走査方向を制御することが可能である。従って、本 LCD 100 a をコンピュータに接続することにより、コンピュータに組み込んだソフトウェアで LCD 100 a の走査方向を制御できる。具体的には、例えば、LCD 100 a の上下・左右の反転表示の制御が可能になる。

【0038】

尚、メモリMEM1、MEM2等のビット数は、上述のものに限らない。

図6は、本発明の第二実施例であるLCD100bの構成図である。

図6に示すように、LCD100bは、表示部2、1ビットのメモリMEM0、MEM1、・・・、MEM7、アドレスカウンタ46、56等を有する。更に、LCD100bは、ゲートドライバ40として、デコーダ45を有し、データドライバ50として、デコーダ55及びスイッチ53a、53b、・・・、53xを有する。上記のようにLCD100bは、第一実施例のLCD100aのシフトレジスタ42、52の代わりにデコーダ45、55を用いた構成になっている。尚、第一実施例のLCD100aと同様の構成部には同一符号を付し、その説明を省略する。

【0039】

各メモリMEM0、・・・、MEM7のアドレス入力部には、3ビットのアドレスバスが接続され、情報入力部には、1ビットのデータバスが接続されている。また、メモリMEM0、・・・、MEM3の出力部は、それぞれアドレスカウンタ56の入力部U/D、H0、H1、H2に接続され、メモリMEM4、・・・、MEM7の出力部は、それぞれアドレスカウンタ46の入力部U/D、H0、H1、H2に接続されている。

【0040】

アドレスカウンタ46、56は、メモリからの情報に基づき、それぞれデコーダ45、55のアドレスを発生させる。このアドレスカウンタ46、56の動作制御は、外部のタイミング発生部（図示せず）からのタイミングクロックにより行われる。

そして、デコーダ45、55は、アドレスカウンタ46、56で発生したアドレスに基づき動作して、表示部2に液晶表示を行う。

【0041】

図7は、アドレスカウンタ46の構成例を示す図である。ここで、アドレスカウンタ56の構成もアドレスカウンタ46と同様とする。

上記構成のLCD100bは、アドレスバスとデータバスで制御できだけでなく、アドレスカウンタの制御により、走査順序の制御も可能である。図7に示

すアドレスカウンタ46において、例えば、メモリMEM5、MEM6、MEM7からアドレスカウンタ46の入力部H0、H1、H2にそれぞれハイレベル、ロウレベル、ロウレベルの情報が入力されると、出力の最下位ビットA0、 \neg A0は、常にハイレベルとなる。最下位ビットA0、 \neg A0が常にハイレベルの場合、ゲートドライバ40がゲート線の奇数ライン及び偶数ラインに対して同時に選択パルスを出力する。従って、ゲート線における奇数ラインと偶数ラインの区別が無くなり、2ラインが同時に選択走査される。これは、解像度の粗い画像を表示部2全体に表示する場合に用いることができる手段である。そして、本LCD100bは、コンピュータからアドレスバスとデータバスで制御できるため、解像度の粗い画像を表示させるように、表示モードをコンピュータに格納されたソフトウェアで切り換え可能なシステムを構築することができる。

【0042】

また、LCD100b内部にメモリを用いることで、LCD100bと制御回路150を接続する信号線の本数を減少させている。従って、本発明によって、構成のより簡単なLCD100b及び制御回路150を提供することができる。

尚、アドレスカウンタ46、56の構成は、図7に示したものに限らない。また、メモリ等のビット数も必要に応じたものを用いるものとする。

【0043】

図8は、本発明の第三実施例であるLCD100cの構成図である。

図8に示すように、LCD100cは、表示部2とゲートドライバ40の他、メモリMEM90、読み出し制御回路95、データ合成回路96及びデータドライバ50として、シフトレジスタ91、データレジスタ92、データラッチ93、D/Aコンバータ94等を有する。尚、第一実施例のLCD100aと同様の構成部には、同一符号を付し、その説明を省略する。

【0044】

メモリMEM90は、8×8ビットのパターンデータを128個まで記憶できる容量を有する。メモリMEM90のアドレス入力部Aには、10ビットのアドレスバスが接続され、データ入力部には、8ビットのデータバスが接続されている。メモリMEM90は、データバスを通じて8ビット単位でパターンデータを

取得し、記憶しておく。ここで、パターンとは、所定の文字列や絵のことであり、例えば、テストパターン、字幕、「Volume」等のモード表示パターンのことを指す。

【0045】

読み出し制御回路95は、外部から与えられるタイミングでメモリMEM90が記憶しているパターンデータを順次読み出し、当該パターンデータを合成用パターンデータとしてデータ合成回路96に与える。

データ合成回路96は、外部からのデジタルの表示データと前記合成用パターンデータとを例えば、排他的論理和XORに従って合成し、合成済パターンデータとしてデータレジスタ92に与える。

【0046】

ここで、LCD100cは、いわゆる線順次駆動を行うタイプである。シフトレジスタ91、データレジスタ92、データラッチ93、D/Aコンバータ94からなる構成部は、デジタルデータドライバとして機能する。従って、デジタルデータドライバに与えられたデジタルの合成済パターンデータは、データレジスタからデータラッチ93に入力してラッチされた後、外部から与えられるロウパルスLPのタイミングでD/Aコンバータ94に与えられる。そして、デジタルデータドライバの最終段のD/Aコンバータ94でアナログデータに変換され、表示部2に入力する。

【0047】

上記のような構成のLCD100cは、所定のパターン表示が可能であると共に、メモリMEM90に記憶させる情報量の多さに比べて、接続本数が $10 + 8 = 18$ 本と少ないので、LCDの小型化、低コスト化を実現する。

尚、パターン等のビット数やパターン数は、上述のものに限らない。また、例えば、ボリュームを変える時は、「Volume」の文字のみを書き込み、輝度を変える時は、「Bright」の文字のみを書き込むというように、メモリMEM90が必要なパターンデータ全てを記憶しておかないで、必要に応じてパターンデータを記憶する構成にすれば、メモリMEM90をより小容量（小型）のものにすることができる。

【0048】

図9は、本発明の第四実施例であるLCD100dの構成図である。

図9に示すように、LCD100dは、表示部2、ゲートドライバ40、データドライバ50、欠陥検査回路60、メモリMEM70等を有する。尚、第一実施例のLCD100aと同様の構成部には同一符号を付し、その説明を省略する。欠陥検査回路60は、メモリMEM70に接続されている。また、メモリMEM70のアドレス入力部には、アドレスバスが接続され、情報入力部には、データバスが接続されている。

【0049】

欠陥検査回路60は、表示部2の欠陥の検査を行う為の回路であり、データ線に接続されているものとする。表示部2に欠陥箇所がある場合、その欠陥箇所の情報がデータ線を通して、欠陥検査回路60に入力される。そして、上記欠陥箇所の情報は欠陥検査回路60にて処理され、検査結果として出力される。出力された検査結果の情報は、メモリMEM70の所定のメモリ部に記憶される。

【0050】

そして、表示部2の欠陥の有無、欠陥の場所等の情報をLCD100dの外部に出力する時は、アドレス信号で指定されるメモリMEM70のメモリ部に記憶された検査結果がデータバスを通して読み出される。ここで、欠陥検査回路60は、ゲート線に接続される構成としても良い。

上記構成のLCD100dにより、検査結果を少ない信号線数で容易に読み出すことができ、制御回路150の複雑化や制御回路150との接続の複雑化を招くことなく、効率的にLCD100dの欠陥検査を行うことができる。製造工程時にTFT基板に対して欠陥検査を行えば、製造工程での基板検査の効率化が図られる。

【0051】

また、LCD100dをアドレスバスとデータバスで制御できるため、LCD100dの検査結果をパソコンのソフトウェアや警告灯のようなハードウェアに与える構成とすることにより、LCD100d内部の回路不良を検知して、警告を出すようなシステムを構築することも可能である。

LCDが用いられる情報機器の小型化により、従来のキーボードではなく、ペンによって、表示部2上でのアイコン操作や手書き入力で操作が行えるペン入力タイプのLCDが開発されてきている。本発明は、このようなペン入力タイプのLCDにも適用することができる。

【0052】

図10は、本発明の第五実施例であるペン入力可能なLCD100eの構成図である。

図10に示すように、LCD100eは、表示部2と、X座標検出回路81、Y座標検出回路82、モード情報メモリ71、72、X座標メモリ73、74、Y座標メモリ75、76等を有する。

【0053】

X座標検出回路81、Y座標検出回路82は、表示部2に接続される。また、モード情報メモリ71、X座標メモリ73、74は、X座標検出回路81に接続され、モード情報メモリ72、Y座標メモリ75、76は、Y座標検出回路82に接続される。モード情報メモリ71、72、X座標メモリ73、74、Y座標メモリ75、76は、それぞれ3ビットのアドレスバスと5ビットのデータバスに接続されている。

【0054】

LCD100eの表示部2は、タブレットやセンサ等の座標情報出力手段を備えており、ペンによって情報入力がされた際に、ペン入力された座標位置に応じた座標情報を出力するものとする。表示部2から出力された座標情報に基づきX座標検出回路81は、ペン入力位置のX座標を検出し、Y座標検出回路82は、ペン入力位置のY座標を検出する。具体的な座標検出の方法としては例えば、表示パネルにループ配線を置き、ペンから出る交番磁界によって誘起される電流をX座標検出回路81、Y座標検出回路82で検出する電磁誘導方式が用いられる。

【0055】

検出されたペン入力位置のX、Y座標情報は、それぞれX座標メモリ73、74、Y座標メモリ75、76によって記憶される。X座標検出回路81、Y座標

検出回路82のビット数は共に10ビットである。X座標メモリ73、Y座標メモリ75は、それぞれX、Y座標情報の上位5ビット分を記憶し、X座標メモリ74、Y座標メモリ76は、それぞれX、Y座標情報の下位5ビット分を記憶する。

【0056】

X座標検出回路81及びY座標検出回路82は、モード情報メモリ71、72に記憶されるモード情報に基づき、座標情報読み出しのための動作を行う。ここで、モード情報とは、座標検出の精度や周期など、用途に応じてX座標検出回路81及びY座標検出回路82の動作を切り換えるための情報である。

各座標メモリに記憶された座標情報は、アドレスバスとデータバスを用いて、読み出される。

【0057】

上記のように、簡単な構成で表示部2に入力されたペン入力の座標情報を読み出すことが可能なLCD100eを実現することができる。このLCD100eは、アドレスバスとデータバスで制御することができるので、パソコンと接続して、パソコンを用いてペン入力された座標情報を利用した処理を行うことも容易である。

【0058】

尚、実施例で示したビット数は一例であり、使用する座標範囲や動作モード情報の入力ビット数に応じて変更してもよい。また、X座標メモリ73、74、Y座標メモリ75、76は、上位・下位ビットに分割したものでなくてもよい。

上記実施例で示したメモリは、例えば、以下に図11～図14を用いて説明するような構成のメモリである。

【0059】

図11は、フリップフロップを用いるメモリ11の構成図である。このメモリ11は、インバータ15a、15b、15cから構成される。メモリ11において、入力端子D1からハイ又はロウレベルのデータが入力されると、メモリ内では、ハイ又はロウレベルが保持される。そして、出力端子Q1からは、入力内容に応じたデータが出力される。クロックドインバータ15cは、出力イネーブル

付きのインバータと考えればよく、通常のインバータと同程度の回路規模で実現できる。

【0060】

図12は、サンプルホールド回路16及びバッファ17を用いるメモリ12の構成図である。バッファ17は、例えば、ソースフォロワ回路で構成することができる。サンプリングホールド回路16は、スイッチS1とコンデンサC1とから構成される。入力端子D2からスイッチS1を介してサンプリングホールド回路16に入力されたデータは、一時コンデンサC1に書き込まれる。そして、コンデンサC1に書き込まれたデータがバッファ17に入力すると、出力データが出力端子Q2から出力される。

【0061】

図13は、フローティングゲート素子を用いるメモリ13の構成図である。この回路では、予めコンデンサC2にハイ又はロウレベルの電圧を書き込んでおく。フローティングゲート素子のオン／オフは、コンデンサC2に書き込まれた電圧の大きさによって決定される。そして、入力端子D3からスイッチS2を介してデータが入力してきた時に、bias2の電圧が出力端子Q3から出力するか否かでデータが読み出される。

【0062】

図14は、ワイヤードゲートを用いるメモリ14の構成図である。メモリ14は、書き換える必要の無い固定データを記憶させる場合に使用されるROMである。メモリ14では、配線によって所定の電源に接続された出力端子Q4、又は、グランド接続された出力端子Q5からハイ又はロウレベルのデータが読み出される。

【0063】

上記のようなメモリは、何れも簡単な構成であるので、表示部2と動作回路の一体化に適したポリシリコンLCDにも容易に適用することができる。

以上説明した上記実施例においては、動作回路4を構成するゲートドライバ40やデータドライバ50等の一部の動作回路をLCDに対して外付けした構成にしてもよい。

【0064】

尚、上記実施例において、ゲートドライバ40、データドライバ50が請求項に記載の第一の動作回路に対応し、メモリMEM0～7、モード情報メモリ71、72、メモリMEM90が請求項に記載の第一のメモリに対応する。また、制御回路150が請求項に記載の制御手段に対応し、TFT21が請求項に記載のポリシリコン薄膜トランジスタに対応する。更に、欠陥検査回路60、X座標検出回路81、Y座標検出回路82が請求項に記載の第二の動作回路に対応し、メモリMEM70、X座標メモリ73、74、Y座標メモリ75、76が請求項に記載の第二のメモリに対応する。

【0065】

【発明の効果】

以上説明したように、本発明によれば、表示装置と制御回路間の信号線の接続本数や表示装置及び制御回路の部品数の増加を招くことなく、複雑な情報を読み書きできる高機能の表示装置を提供することができる。

【図面の簡単な説明】

【図1】

従来例のLCD200の構成図である。

【図2】

3端子素子方式のAM-LCD(Active Matrix LCD)100の構成例を示す図である。

【図3】

本発明の原理を説明するための図である。

【図4】

本発明の第一実施例であるLCD100aの構成図である

【図5】

メモリMEM1の構成例を示す図である。

【図6】

第二実施例であるLCD100bの構成図である。

【図7】

アドレスカウンタ 46 の構成図である。

【図 8】

第三実施例である LCD 100c の構成図である。

【図 9】

第四実施例である LCD 100d の構成図である。

【図 10】

第五実施例である LCD 100e の構成図である。

【図 11】

フリップフロップを用いるメモリ 11 の構成図である。

【図 12】

サンプルホールド回路 16 及びバッファ 17 を用いるメモリ 12 の構成図である。

【図 13】

フローティングゲート素子を用いるメモリ 13 の構成図である。

【図 14】

ワイヤードゲートを用いるメモリ 14 の構成図である。

【符号の説明】

- 2 表示部
- 4 動作回路部
- 5 インタフェース
- 6 アドレスデコーダ
- 7 記憶回路
- 10 対向電極基板
- 20 素子アレイ基板
- 21 TFT
- 22 画素電極
- 30 液晶
- 40 ゲートドライバ
- 42 シフトレジスタ

50 データドライバ

52 シフトレジスタ

53 a、53 b、・・・、53 x スイッチ

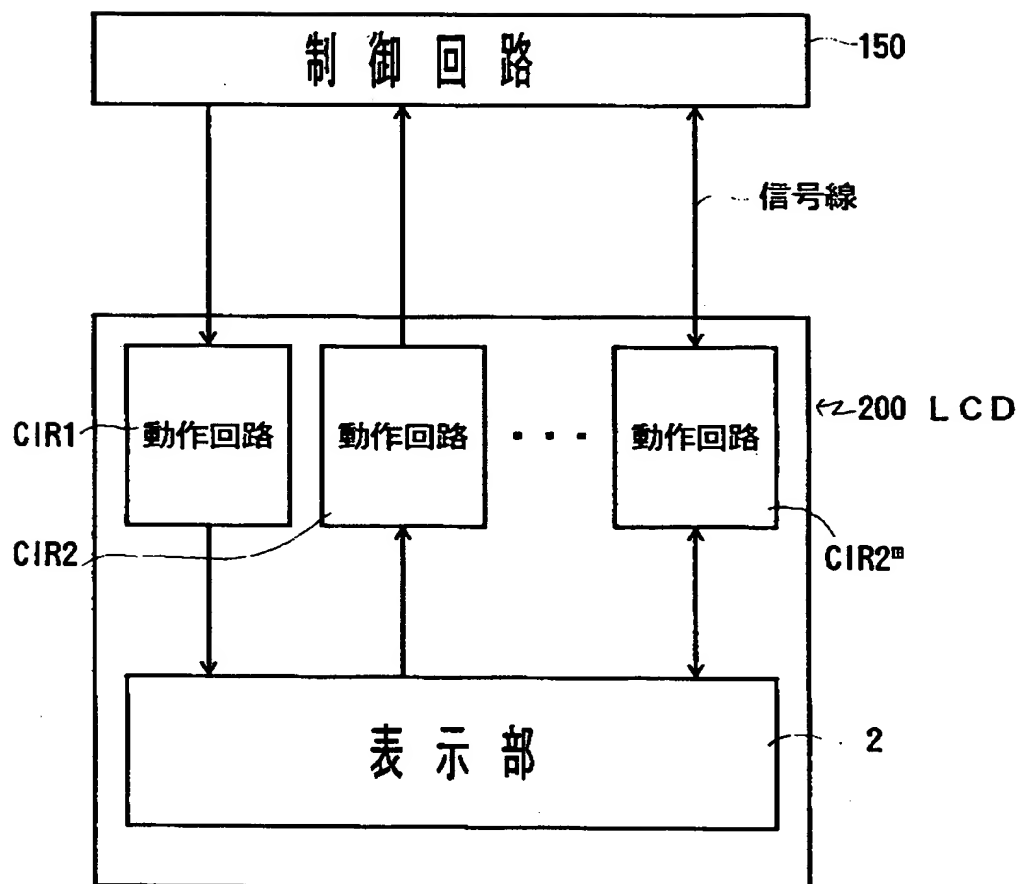
100、100 a、100 b、100 c、100 d、100 e、200 LCD

150 制御回路

【書類名】 図面

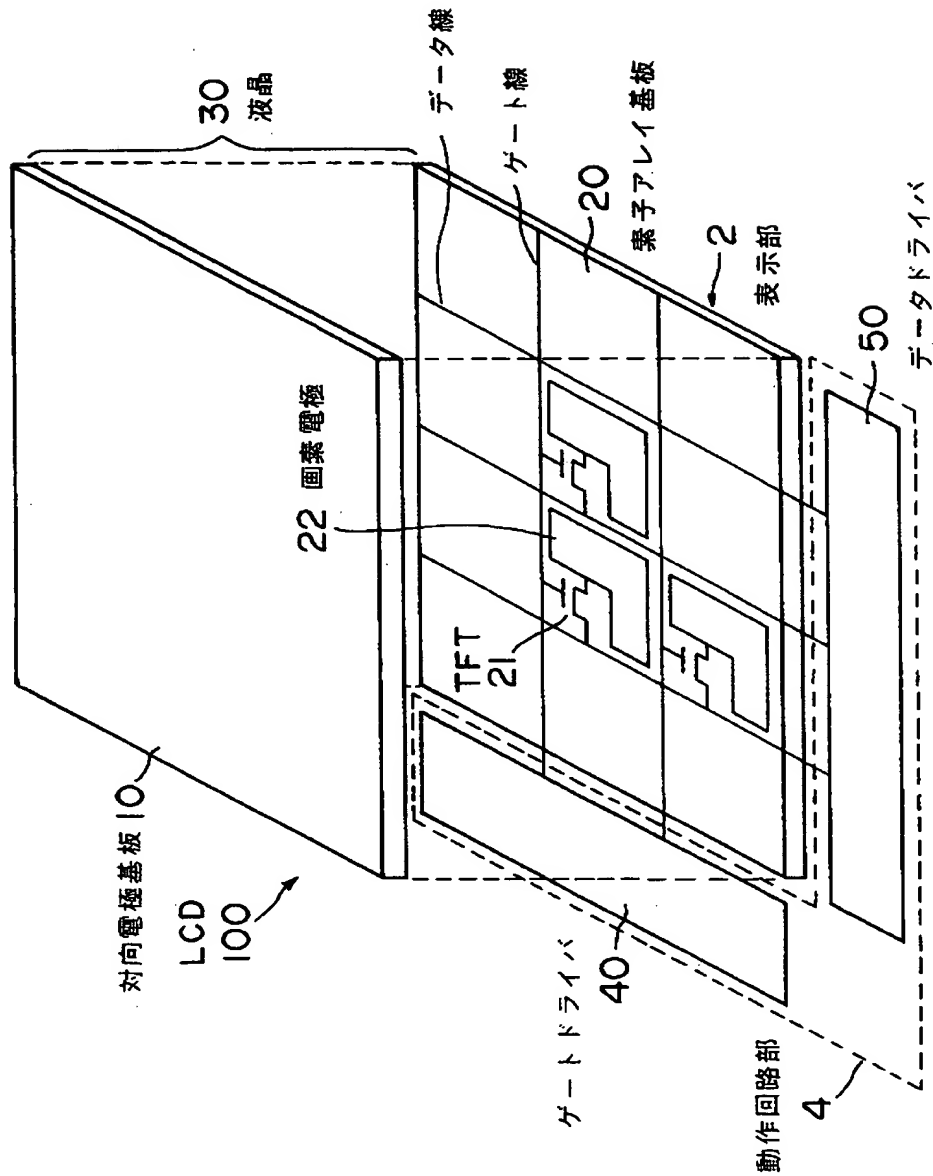
【図 1】

従来例のLCD200の構成図



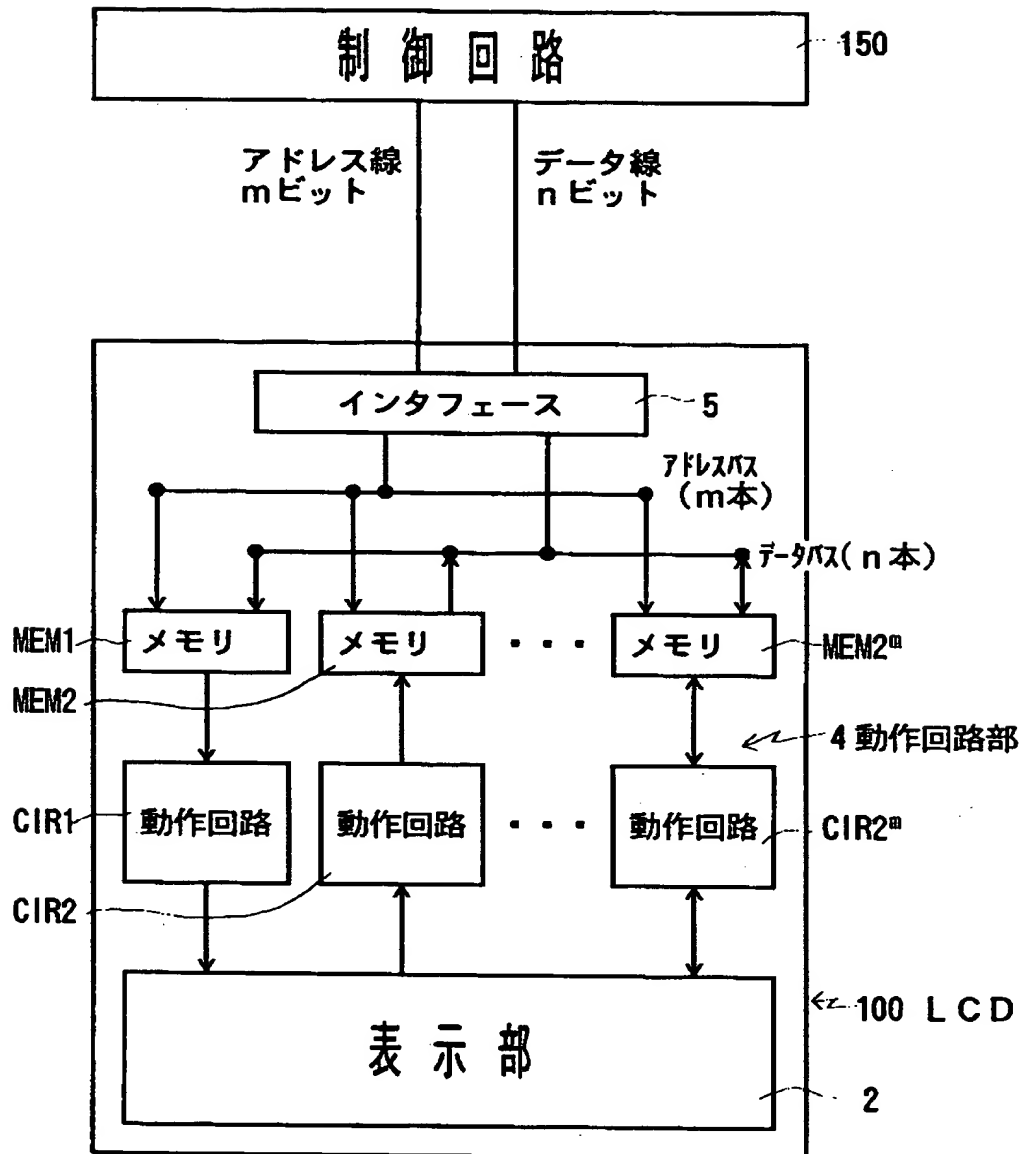
【図 2】

3 端子素子方式の AM-LCD (Active Matrix LCD)
100 の構成例を示す図



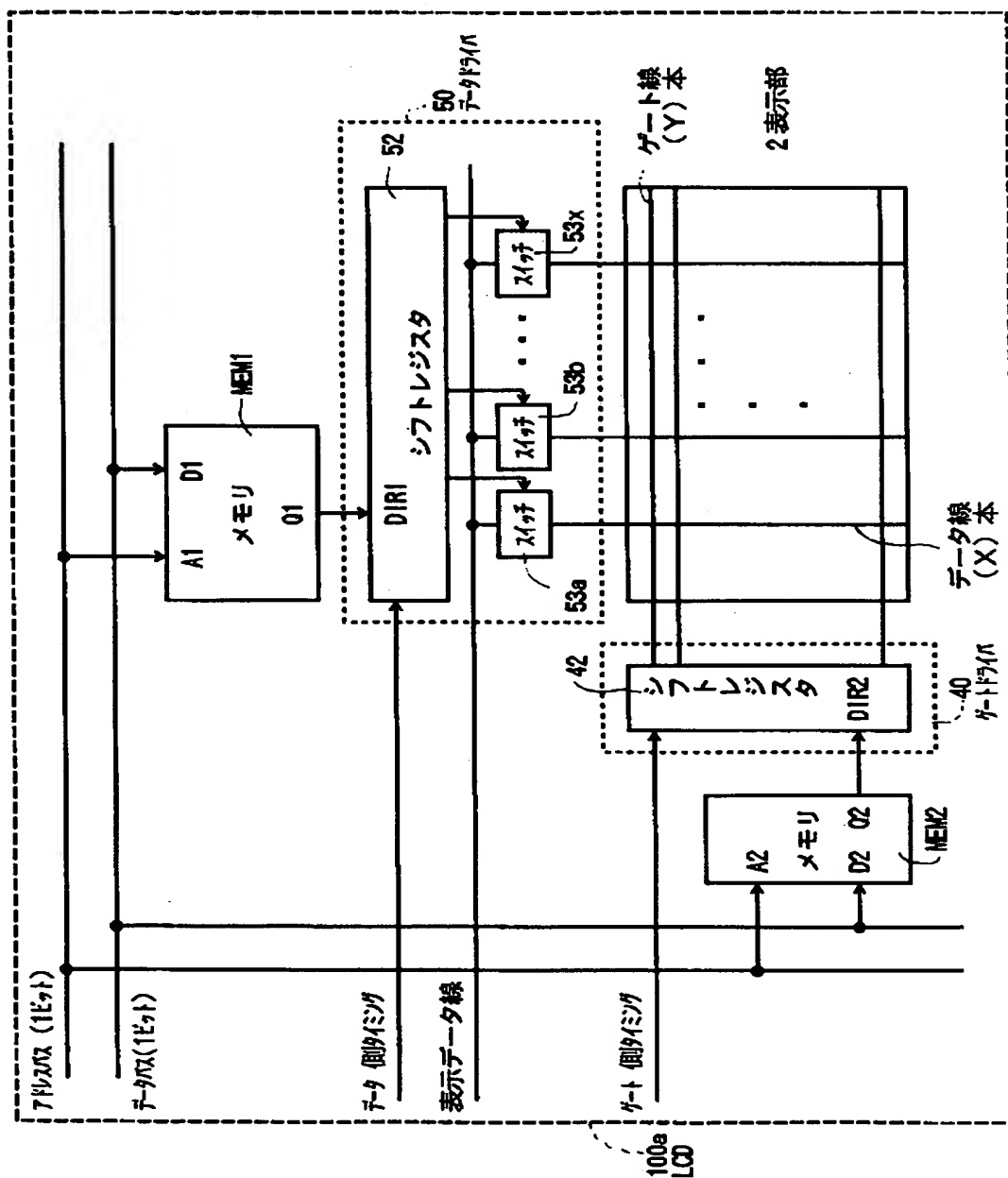
【図 3】

本発明の原理を説明するための図



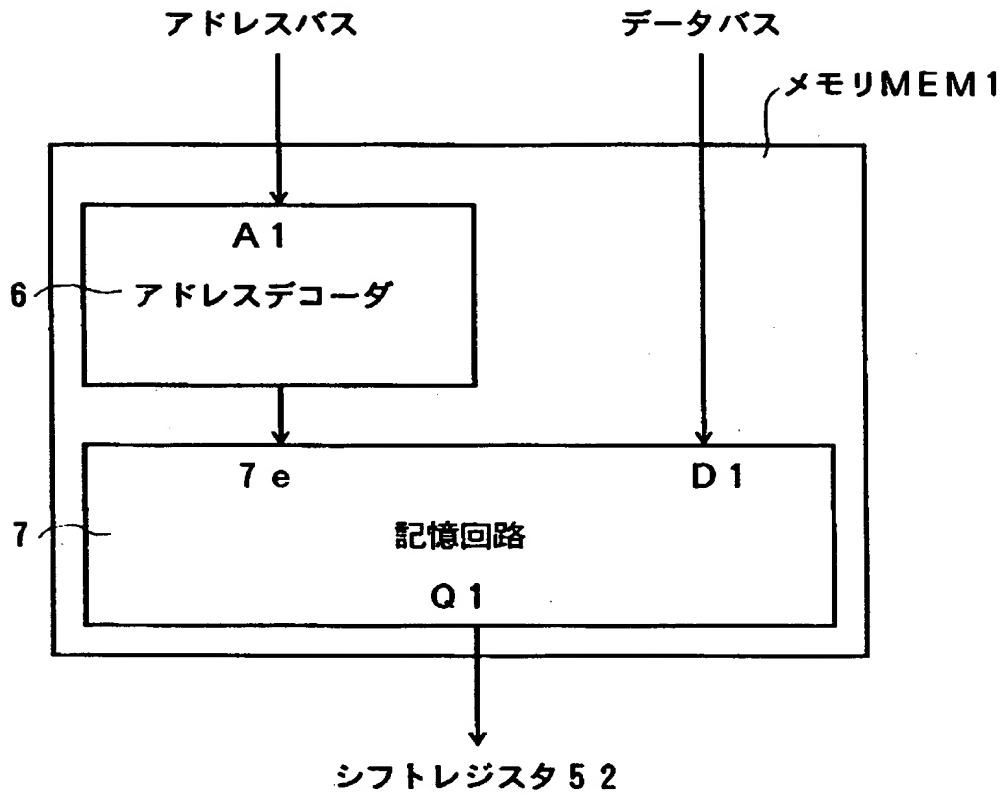
【図 4】

本発明の第一実施例である LCD 100a の構成図



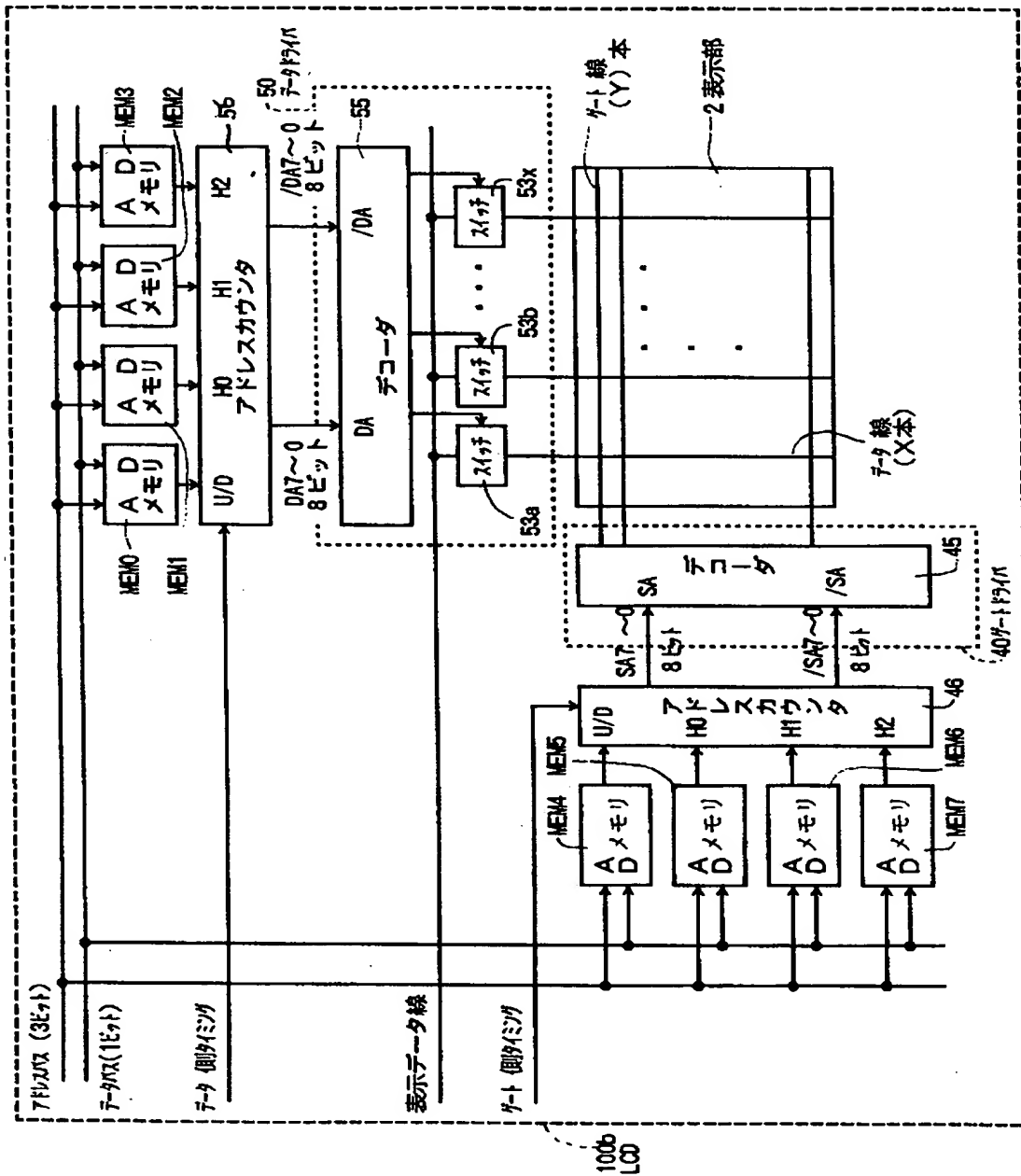
【図 5】

メモリMEM1の構成例を示す図



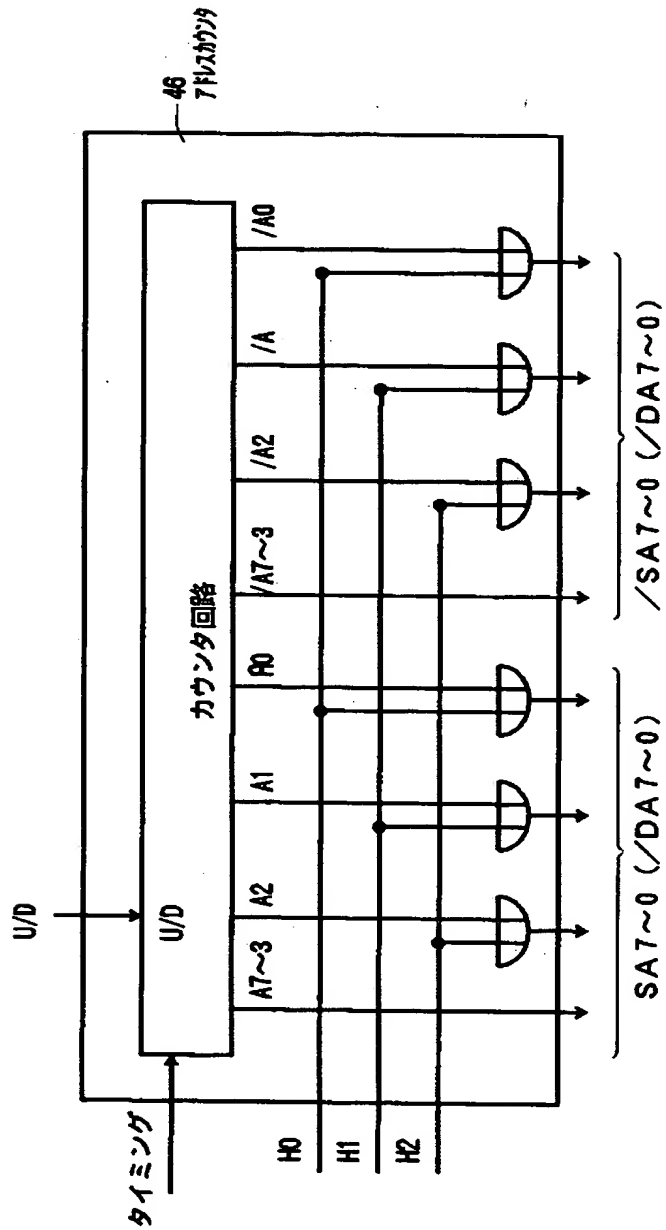
【図 6】

第二実施例であるLCD100bの構成図



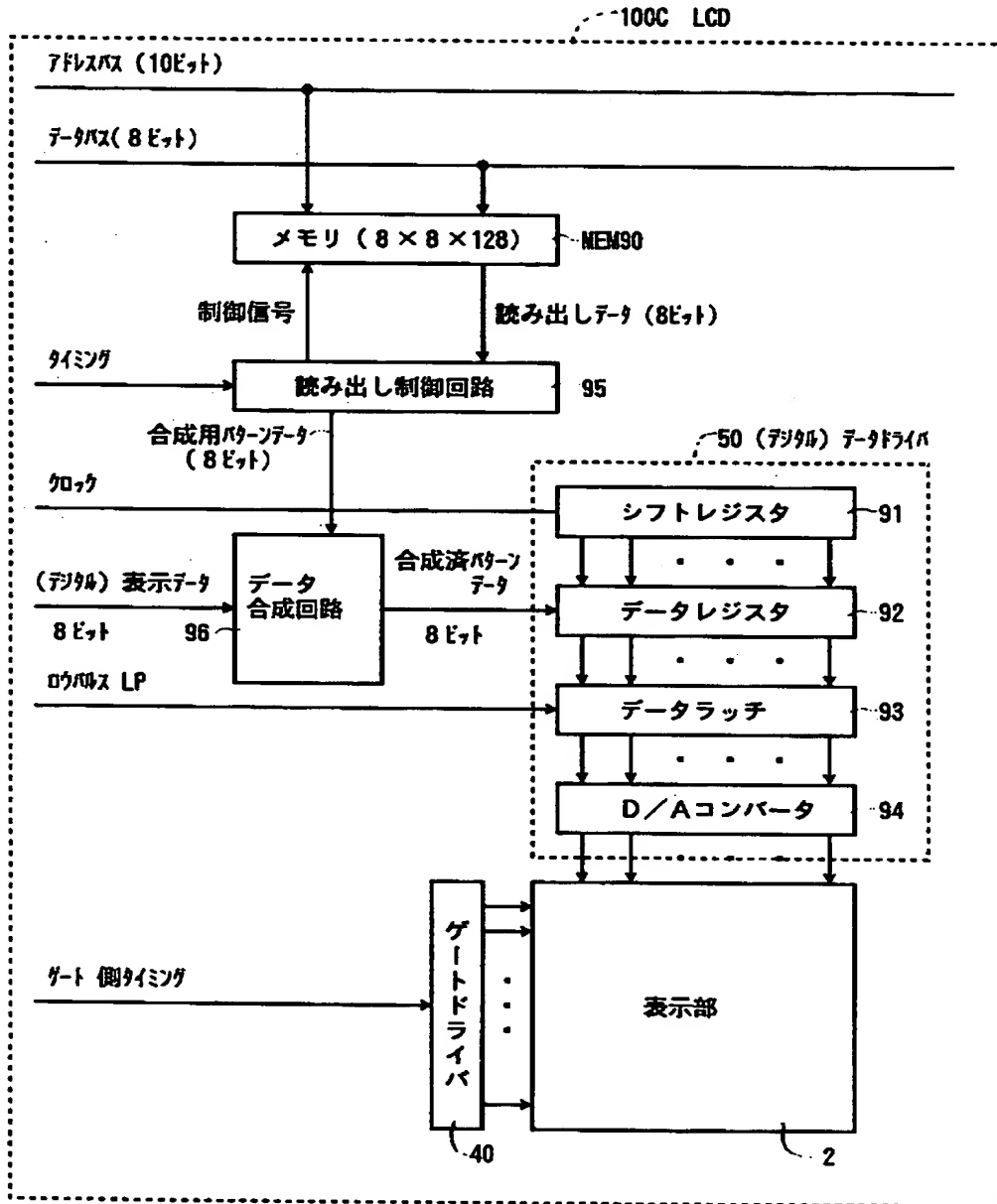
【図 7】

アドレスカウンタ 46 の構成図



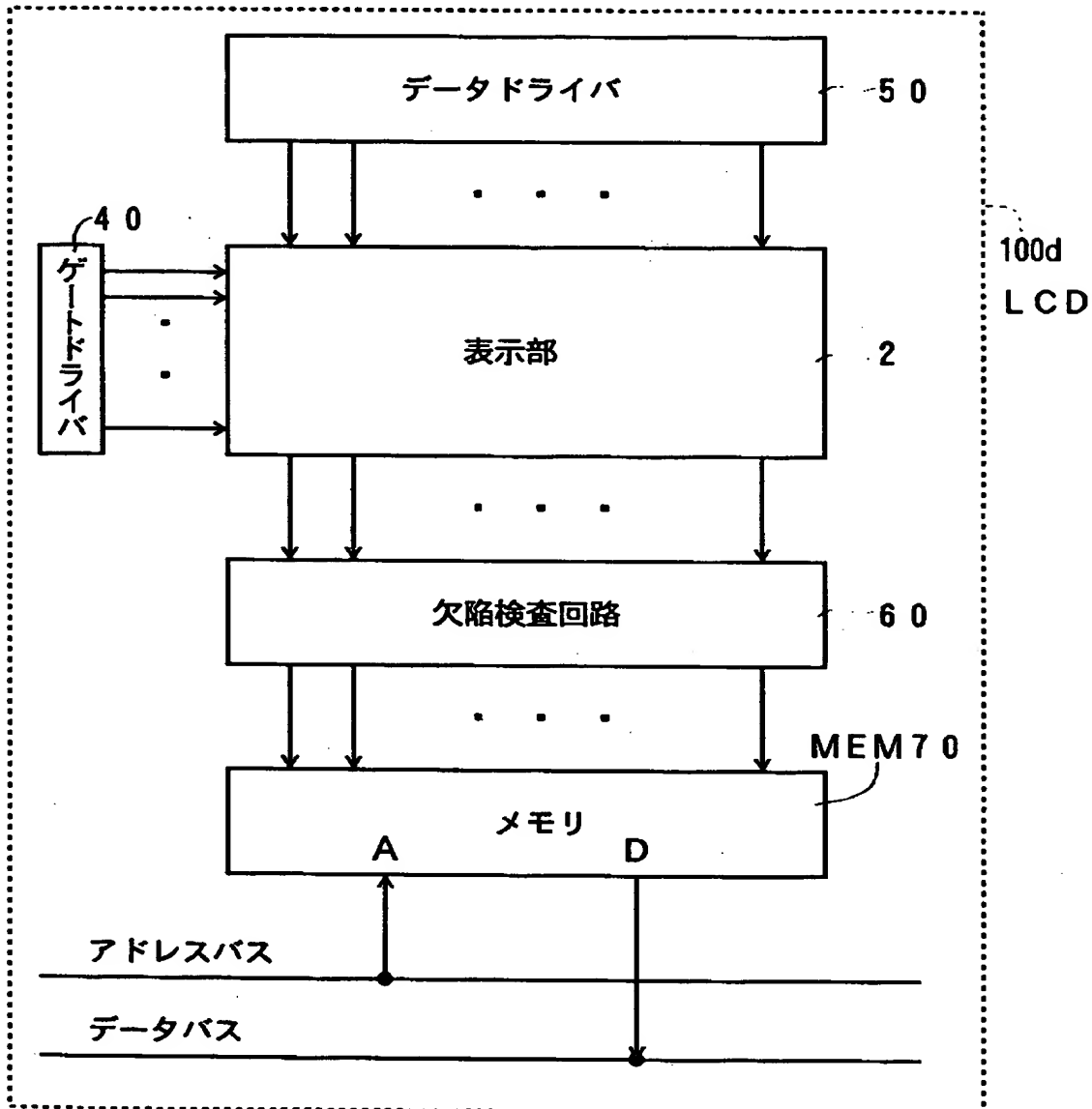
【図 8】

第三実施例である LCD100c の構成図



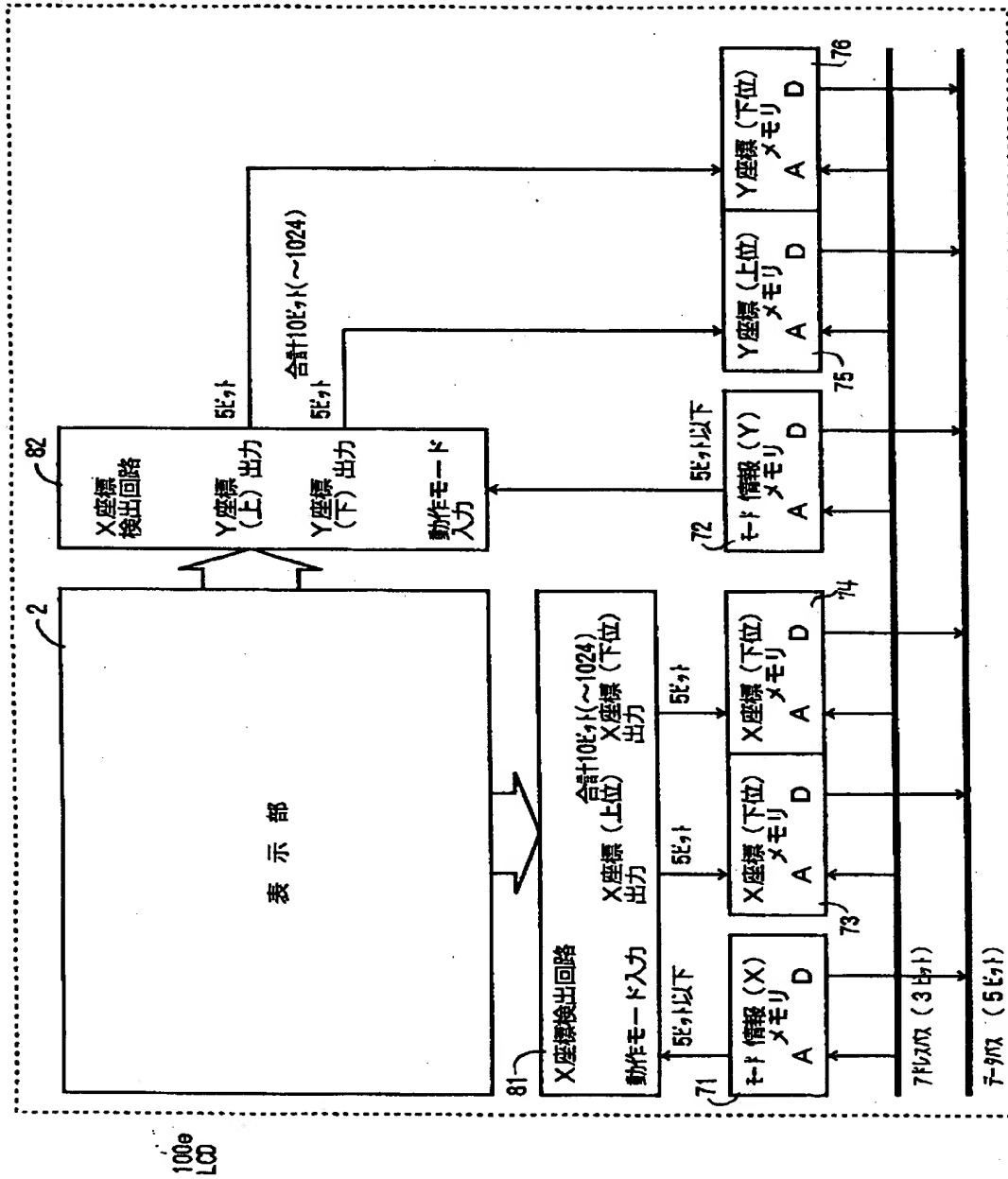
【図 9】

第四実施例であるLCD100dの構成図



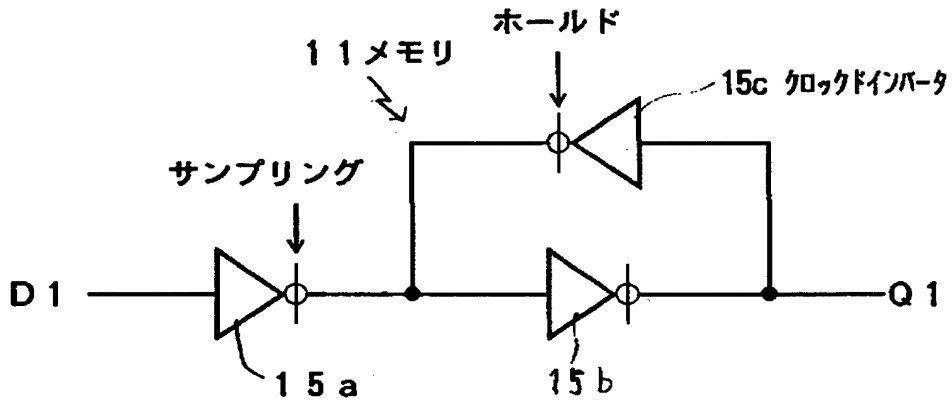
【図 10】

第五実施例である LCD 100 e の構成図



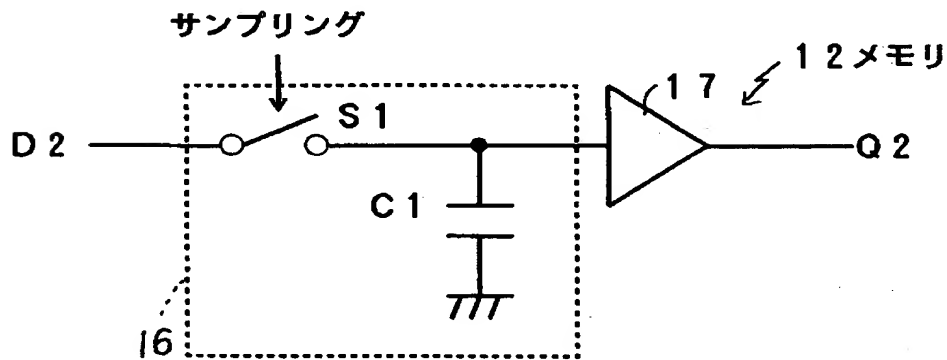
【図 11】

フリップフロップを用いるメモリ 11 の構成図



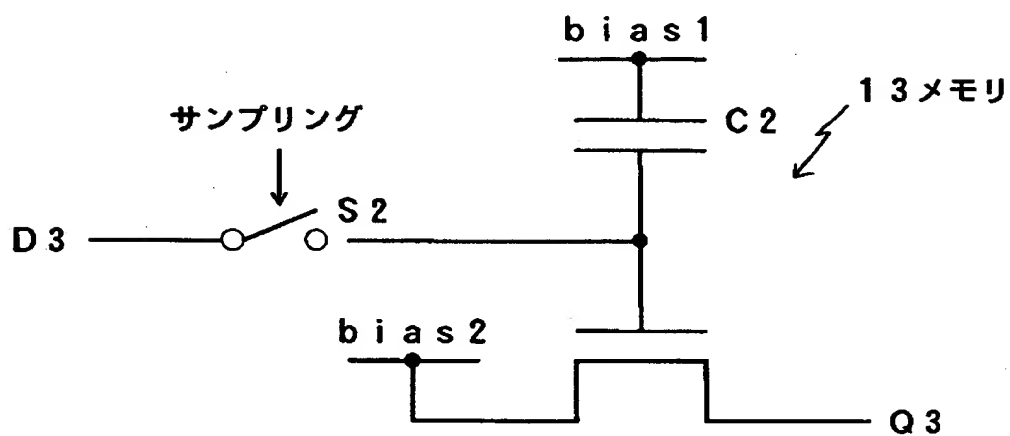
【図 12】

サンプルホールド回路 16 及びバッファ 17 を用いる
メモリ 12 の構成図



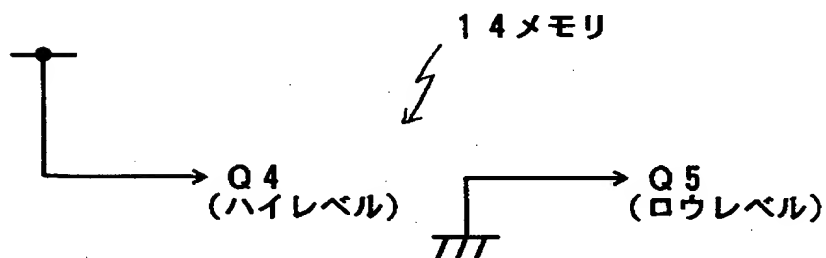
【図 13】

フローティングゲート素子を用いるメモリ 13 の構成図



【図 14】

ワイヤードゲートを用いるメモリ 14 の構成図



【書類名】 要約書

【要約】

【課題】 本発明は、表示装置と制御回路間の信号線の接続本数や表示装置及び制御回路の部品数の増加を招くことなく、複雑な情報を読み書きできる高機能の表示装置を提供することを課題とする。

【解決手段】 液晶表示装置 LCD100 は、画像を表示する表示部 2 と、前記表示部 2 に画像を表示させる動作を行う動作回路 CIR1 を含む動作回路 CIR1、CIR2、・・・、CIR2^m と、メモリ MEM1、MEM2、・・・、MEM2^m と、メモリ MEM1、MEM2、・・・、MEM2^m と LCD100 の外部の制御回路 150 を接続するインタフェース 5 とを有し、動作回路 CIR1 に接続されるメモリ MEM1 は、インタフェース 5 とデータバスを介して制御回路 150 から与えられる情報を記憶し、動作回路 CIR1 は、メモリ MEM1 に記憶された情報に基づいて動作する。

【選択図】 図 3

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】
【識別番号】 000005223
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号
【氏名又は名称】 富士通株式会社
【代理人】 申請人
【識別番号】 100070150
【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階
【氏名又は名称】 伊東 忠彦

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社